

PICTURE IMAGE CONVERTING CIRCUIT

Publication number: JP61004371

Publication date: 1986-01-10

Inventor: ARAKAWA TAKEO; KOTAKI MASAKI

Applicant: NIPPON ELECTRIC CO

Classification:

- International: H04N1/40; H04N1/419; H04N1/40; H04N1/419; (IPC1-7): H04N1/40; H04N1/419

- European:

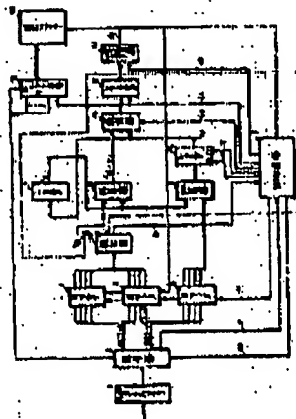
Application number: JP19840124858 19840818

Priority number(s): JP19840124858 19840818

Report a data error here

Abstract of JP61004371

PURPOSE: To improve the output responsiveness by devising shift parts at the picture image conversion start time and the end time to convert a run length longer than the bit length of an output buffer in bit length unit. **CONSTITUTION:** A value (p), which remains in a shift register (SR) 13 because preceding decoded data is shorter than the 16-bit length of an output buffer 15, is stored in a register 7. In case of decoding with the combination of an MU (make-up) code and a TM (terminating) code, the output 16-p is stored in a shift counter 12 by a selector 11, and the run length of the binary expression of a decoder 2 is inputted to a serial input SI of the SR13 bit by bit until this value 16-p becomes 0. A write pulse 14 is generated from a write circuit buffer 14 to write the output of the SR13 in a buffer 15, and the value of the counter is set to -1. When this write is terminated, a control circuit 3 stores data connected to a parallel input PI of the SR13 in the SR13 and outputs the pulse 14 thereafter until values of counters 4 and 5 become 0; and when they become 0, the pulse 14 is outputted furthermore if the carry signal of a register 10 is "1"; but if this carry signal is "0", the value of the register 10 is stored in the register 7 and the counter 12, and it is shifted to the input SI of the SR13 until values of them become 0.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑬ 公開特許公報(A)

昭61-4371

⑫ Int. Cl.

H 04 N 1/40
1/419

識別記号

庁内整理番号

Z-7135-5C
7135-5C

⑭ 公開 昭和61年(1986)1月10日

審査請求 未請求 発明の数 1 (全 5 頁)

⑮ 発明の名称 画像イメージ変換回路

⑯ 特 願 昭59-124858

⑰ 出 願 昭59(1984)6月18日

⑱ 発 明 者 荒 川 武 雄 : 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 小 滝 正 毅 : 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 照嶋 美智子

明 細 書

1. 発明の名称

画像イメージ変換回路

2. 特許請求の範囲

(1) 入力する画像イメージが圧縮符号化された符号を一時格納する符号化コードバッファと、

この符号化コードバッファから読出された符号を上記画像イメージの2値表現のラン長に復号する復号器と、

この復号器により復号された2値表現のラン長を格納するシフトレジスタと、

nビット長(nは2以上の整数)単位毎に書込パルスを出力するバッファ書込手段と、

上記シフトレジスタの並列出力を上記書込パルスに従ってnビット長単位で出力する出力バッファと、

上記復号器からの復号された2値表現のラン長をn進数で計数し、上記書込パルスがキャリ入力

に接続されたカウンタと、

このカウンタの計数が所定値以下であることを検出する検出手段と、

上記復号器からの復号終了信号を入力して、上記カウンタに与える計数イネーブル信号と、上記シフトレジスタに与える制御信号と、nビット毎に上記バッファ書込回路に与える書込パルスとを発生し、上記検出手段の出力信号を入力して上記復号器に復号の制御信号を出力する制御手段と

を備えた画像イメージ変換回路において、

第一のレジスタと、

数nから上記第一のレジスタの蓄積内容を減じる減算手段と、

上記カウンタの所定の低位桁の数と上記第一のレジスタの蓄積内容とを加える加算手段と、

この加算手段の出力を一時格納し、上記制御手段にキャリ端子が接続され、このキャリ端子に出力信号がないときにはその蓄積内容を上記第一のレジスタに出力する第二のレジスタと、

上記制御回路により制御され、上記減算手段か

特開2006-14371(2)

らの出力と上記第二のレジスタの蓄積内容とを選択する選択手段と、

この選択手段の出力を一時格納し、その値が「0」になったとき上記バッファ書込手段に反転信号を出力するシフトカウンタと、

を備えた

ことを特徴とする画像イメージ変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、画像通信の画像イメージ変換回路に関する。特に、画像イメージが圧縮符号化された符号が復号された原画像イメージの2値表現のラン長を原画像イメージに変換する回路に関するものである。

〔従来の技術〕

従来、圧縮符号化された画像イメージは2値表現のラン長に復号された後に、シフトレジスタなどを用いて1ビットずつシフトし、出力バッファのビット長にそろった所で出力バッファに書込む

ことにより原画像イメージに変換されている。したがって、原画像イメージに変換するためにはラン長分のシフト動作が必要であり、出力バッファに原画像イメージを形成するための時間が非常に長く、画像イメージの出力の応答性が悪くなる欠点があった。

〔発明が解決しようとする問題点〕

本発明は、復号されたラン長から原画像イメージに変換するときに全てシフト動作によることなく、比較的長いラン長に対しては出力バッファのビット長単位でも変換できる応答性の良い画像イメージ変換回路を提供することを目的とする。

〔問題点を解決するための手段〕

本発明は、入力する画像イメージが圧縮符号化された符号を一時格納する符号化コードバッファと、この符号化コードバッファから読出された信号を上記画像イメージの2値表現のラン長に復号する復号器と、この復号器により復号された2値表現のラン長を格納するシフトレジスタと、 n ビット長（ n は2以上の整数）単位毎に書込パルス

を出力するバッファ書込手段と、上記シフトレジスタの並列出力を上記書込パルスに従って n ビット長単位で出力する出力バッファと、上記復号器からの復号された2値表現のラン長を n 進数で計数し、上記書込パルスがキャリ入力に接続されたカウンタと、このカウンタの計数値が所定値以下であることを検出する検出手段と、上記復号器からの復号終了信号を入力して、上記カウンタに与える計数イネーブル信号と、上記シフトレジスタに与える制御信号と、 n ビット毎に上記バッファ書込回路に与える書込パルスとを発生し、上記検出手段の出力信号を入力して上記復号器に復号の制御信号を出力する制御手段とを備えた画像イメージ変換回路において、第一のレジスタと、数 n から上記第一のレジスタの蓄積内容を減じる減算手段と、上記カウンタの所定の下位桁の数と上記第一のレジスタの蓄積内容とを加える加算手段と、この加算手段の出力を一時格納し、上記制御手段にキャリ信号が接続され、このキャリ信号に出力信号がないときにはその蓄積内容を上記第一のレ

ジスタに出力する第二のレジスタと、上記制御回路により制御され、上記減算手段からの出力と上記第二のレジスタの蓄積内容とを選択する選択手段と、この選択手段の出力を一時格納し、その値が「0」になったとき上記バッファ書込手段に反転信号を出力するシフトカウンタとを備えたことを特徴とする。

〔作用〕

本発明は、画像イメージ変換開始のときには、 n （出力バッファのビット長）から第一のレジスタの値、すなわち前回復号されたラン長の内 n ビット長に達しないで残されたラン長を減算手段で減じた値だけシフトカウンタで計数して復号されたラン長を1ビットずつシフトして変換し、それ以後は、 n ビット長単位で変換し、変換終了に当たっては、今回復号したラン長の所定下位桁の数に上記第一のレジスタの値を加算手段で加えて第二のレジスタに格納し、キャリ信号があるときは n ビット長単位で変換し、 n に達しない値だけ上記シフトカウンタで計数して復号されたラン長

特開2006-14371(3)

表 例

を1ビットずつシフトしてシフトレジスタに格納した後に、上記第一のレジスタに格納することにより、画像イメージの変換を全て1ビットずつのシフト動作によることなく、比較的長いラン長に対しては出力バッファのビット長単位で変換することができ画像イメージの出力の応答性を良くすることができる。

(実施例)

本発明の実施例について図面を参照して説明する。表は画像イメージの白または黒のラン長と圧縮されたModified Huffman (以下、MHコードと称する。)との関係の一例を示す。

(以下本頁余白)

白ラン長	MHコード
0	00110101
1	000111
2	0111
63	00110100

黒ラン長	MHコード
0	0000110111
1	010
2	11
63	000001100111

(以下本頁余白)

表 例

白ラン長	MHコード
64	11011
128	10010
192	010111
1728	010011011

白ラン長	MHコード
64	0000001111
128	000011001000
192	000011001001
1728	0000001100101

MHコードは一つのラン長が「0」ビットから「63」ビットまでは表例に示すterminatingコード(以下、TMコードと称する。)で構成し、「64」ビットから「1728」ビットまでは表例に示すmake upコード(以下、MUコードと称する。)とTMコードとの組合せで構成している。

図は本発明一実施例画像イメージ変換回路のブロック構成図である。図において、画像イメージのMHコードがMHコードバッファ1に入力され、MHコードバッファ1は復号器2によりスキャンされる。復号器2から一つのMHコードの復号終了の信号が信号線4、を介して制御回路3に接続され、制御回路3から信号線5、を介して制御信号がカウンタ4～6に接続される。復号器2からMHコードが復号された2値表現のラン長のビット数がカウンタ4～6で計数される。

ここで本発明の特徴とするところは、一点鎖線で囲まれた画像イメージ変換開始時および終了時のシフト部分である。レジスタ7から前回復号された画像イメージでnビット長単位(この実施例では「16」とする。)に不足のため出力されず残っているラン長のビット数pが加算器8の一方の入力と加算器9の一方の入力とに接続される。

カウンタ6の蓄積内容が加算器9の他の入力に接続され、加算器9の出力はレジスタ10に接続される。

出力するビット長単位の「16」が演算器8の他の入力に接続され、演算器8の出力「16-p」が選択器11の一方の入力に接続される。選択器11の出力はシフトカウンタ12の一方の入力に接続される。制御回路3から制御線 β 、を介して制御信号がシフトカウンタ12の他の入力とシフトレジスタ13の制御入力とに接続される。復号器2からの1ビットずつシフトされた出力がシフトレジスタ13のシリアル入力S1に接続される。シフトカウンタ12の計数値が「0」になるとシフトカウンタ12から反転された出力がバッファ書込回路14の一方の入力に接続され、バッファ書込回路14の書込信号が信号線 δ 、を介して出力バッファ15の制御入力と制御回路3とカウンタ5のキャリ入力に接続される。シフトレジスタ13の出力が出力バッファ15に接続される。復号器2から「16」ビット長単位の出力がシフトレジスタ13のバラレル入力P1に接続され、制御回路3から信号線 ϵ 、を介して書込パルスの制御信号がバッファ書込回路14に接続される。カウンタ4、5の値は検出器16に接続

一つのMHコードの復号の終了を検出した制御回路3は復号器2からのラン長をカウンタ4~6に格納し、かつレジスタ7の値とカウンタ6の値との和を取る加算器9の出力をキャリ信号とともにレジスタ10に格納する。

レジスタ7には前の復号された画像イメージデータで出力バッファ15のビット長「16」に満たないために出力バッファ15に書込まれないでシフトレジスタ13に残っている値「p」が格納されている。

まず、MUコードとTMコードとの組合せで復号された場合について説明する。選択器11で演算器8の出力「16-p」が選択され、制御回路3はこれをシフトカウンタ12に格納し、格納した値が「0」になるまで復号器2から出力される2値表現のラン長を1ビットずつシフトしてシフトレジスタ13のシリアル入力S1にシフト入力する。シフトカウンタ12から出力するキャリ信号によってバッファ書込回路14から書込パルス δ 、が発生し、シフトレジスタ13の出力が出力バッファ15に書込

特開昭61-4371(4)

され、検出器16から「0」検出信号が信号線 ϵ 、を介して制御回路3に接続される。制御回路3から信号線 ϵ 、を介して制御信号がレジスタ10の入力CRに接続され、レジスタ10の出力CYから信号線 δ 、を介してキャリ信号が制御回路3に接続される。レジスタ10の蓄積内容が信号線 δ 、を介してレジスタ7と選択器11の他の入力に接続される。制御回路3から信号線 ϵ 、を介して制御信号が選択器11に接続される。制御回路3から信号線 ϵ 、を介して制御信号が復号器2に接続され、次のMHコードがスキャンされる。

このような構成の画像イメージ変換回路の動作について説明する。MHコードバッファ1には出力しようとする画像イメージのMHコードが格納されており、復号器2はMHコードバッファ1をスキャンして変に示すMUコードとTMコードとの組合せ、またはTMコードのみの2値表現されるラン長に復号する。MUコードとTMコードとが組合わされて復号される場合には各々の和が画像イメージのラン長である。

まれると同時にカウンタ3、4の値は「1」減じられる。

シフトレジスタしたデータの出力バッファ15への書込みが完了すると、制御回路3はシフトレジスタ13のバラレル入力P1に接続されているデータをシフトレジスタ13に格納した後に、カウンタ4、5の値が「0」になったことを検出器16で検出されるまでバッファ書込回路14に書込パルス δ 、を出力させる。「0」が検出されると、レジスタ10に格納されているキャリ信号が「1」であればさらにバッファ書込回路14に書込パルス δ 、を出力させ、またキャリ信号が「0」の場合には直ちにレジスタ10の値をレジスタ7に格納すると同時に選択器11を切換えてレジスタ10の値をシフトカウンタ12に格納してその値が「0」になるまでシフトレジスタ13のシフト入力S1にシフトする。なお、このときにはバッファ書込回路14は書込パルス δ 、を出力しないように制御して一つのラン長の画像イメージへの変換および出力バッファ15への書込みが終了し、次のMHコードのラン長の復号を復

号器 2 に要求する。

次に T M コードのみの場合について説明する。このとき復号器 2 からは M U コードは「0」で出力される。カウンタ 4、5 の値が「0」より大きい場合には上述の M U コードと T M コードとの組合せで復号レジスタ場合と同じように動作し、「0」の場合には上述でカウンタ 4、5 の値が「0」になったことを検出器 16 で検出された以後と同様に動作するので詳しい説明は省略する。

以上のような動作を複数ドットラインに対して繰返すことにより出力バッファには出力しようとする画像イメージが形成される。

以上説明したように、復号されたラン長を画像イメージに変換するために全てをシフト入力動作によることなく、出力バッファのビット長以上のラン長に対してはビット長単位で画像イメージに変換できることがわかる。

なお、この実施例で用いた検出器 16 はコンパレータ回路、減算器 8 および加算器 9 はフルアダプ回路、シフトカウンタ 12 はバイナリカウンタ回路、

特開昭 61-4371(5)

および選択器 11 はマルチプレクサ回路によるなど一般的な論理素子および論理回路により構成することができる。

(発明の効果)

以上説明したように、本発明は、M H コードが復号されたラン長から画像イメージに変換するために全てをシフト動作によることなく、比較的長いラン長に対しては出力バッファのビット長単位で変換することができる優れた効果がある。したがって、画像イメージの出力の応答性が良くなる利点がある。

4. 図面の簡単な説明

図は本発明一実施例画像イメージ変換回路のブロック構成図。

1…M H コードバッファ、2…復号器、3…制御回路、4、5、6…カウンタ、7、10…レジスタ、8…減算器、9…加算器、11…選択器、12…シフトカウンタ、13…シフトレジスタ、14…バッファ書込回路、15…出力バッファ、16…検出器。

